

(11)Publication number : 2003-031520
 (43)Date of publication of application : 31.01.2003

(51)Int.Cl.

H01L 21/28
 H01L 21/3065
 H01L 21/3205

(21)Application number : 2001-212431

(71)Applicant : DENSO CORP
 SONY CORP

(22)Date of filing : 12.07.2001

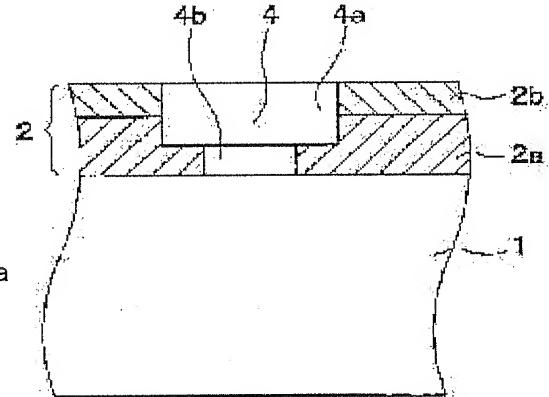
(72)Inventor : TOMISAKA MANABU
 YONEMURA HITOSHI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable formation of proper through-electrode in a semiconductor substrate by preventing overhanging of an insulation film, in a manner of eaves over a through-hole.

SOLUTION: Etching is conducted, with an interconnection layer and an entire layer 2 which consists of a passivation film 2a and a silicon oxide film 2b, as a mask. At this time, an opening 4 of the entire layer 2 is formed into a stepped shape, with an upper part 4a of the opening 4, located away from a silicon substrate 1, being larger than a lower part 4b of the opening 4 which is nearer to the silicon substrate 1. By making the shape of the opening thus, the entire layer 2 disappears in the lower part 4b during etching, and when the etching is finished, the opening width of the opening 4 becomes equal to the width of the upper part 4a of the opening 4. Consequently, the entire layer 2 is prevented from overhanging the through-hole in the manner of an eaves, forming a proper through-electrode.



1: シリコン基板
 2a: 配線層およびパッケージョン層
 2b: 隔離層
 4: 開口部
 4a: 開口部上部
 4b: 開口部下部

* NOTICES *

JP0 and INPIIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An insulation layer forming process which forms an insulating layer (2b) on the surface of a wiring layer formed on a semiconductor substrate (1), and a passivation layer (2a). An opening formation process which forms an opening (4) which reaches a layer (2) which doubled said insulating layer (2b), said wiring layer, and a passivation layer (2a) to the surface of said semiconductor substrate (1). An etching process which etches said semiconductor substrate (1) through said opening (4) using said insulating layer (2b) as a mask, In a removal section (6) in a semiconductor substrate (1) by said etching, including an insulating layer

and a penetrating electrode formation process which forms an electrode in said opening formation process. A manufacturing method of a semiconductor device expanding aperture width of the opening upper part (4a) which becomes a side which makes said opening (4) shape with the stage, and separates from said semiconductor substrate (1) among these openings (4) rather than aperture width of the opening lower part (4b) which consists of said semiconductor substrate (1) a near side.

[Claim 2] In said opening formation process, thickness of a layer (2) which doubled c, said wiring layer and a passivation layer (2a), and said insulating layer (2b) for thickness of said opening upper part (4a) d, The depth which performs said etching to said semiconductor substrate (1) is set to e, If an etch rate ratio of said semiconductor substrate (1) to an etch rate of a layer (2) which doubled said wiring layer and a passivation layer (2a) by said etching, and said insulating layer (2b) is set to s, A manufacturing method of the semiconductor device according to claim 1 forming said opening (4) so that a relation of $e/(d-c) \leq s$ may be filled.

[Claim 3] A manufacturing method of the semiconductor device according to claim 2 characterized by comprising the following.

The 1st removal process that forms said opening upper part (4a) by removing said opening formation process to the predetermined depth to which the surface of said semiconductor substrate (1) does not expose a layer (2) which doubled said wiring layer and a passivation layer (2a), and said insulating layer (2b). The 2nd removal process that forms said opening lower part (4b) by removing until the surface of said semiconductor substrate (1) exposes a layer (2) which doubled said wiring layer and a passivation layer (2a), and said insulating layer (2b) in said opening upper part (4a).

[Claim 4] A mask used in said opening formation process in order to form said opening upper part (4a) in said 1st removal process, When the maximum of the amount of mask gaps with a mask used in order to form said opening lower part (4b) in said 2nd process is set to T, When said etching is performed until it is set to depth e to said semiconductor substrate (1), width of a removal section (6) in this etching is set to f, If a layer (2) which doubled said wiring layer and a passivation layer (2a), and said insulating layer (2b) in said etching process sets to g quantity etched into a transverse direction, A manufacturing method of the semiconductor device according to claim 3 forming said opening (4) so that relation between $(b+2g-f)/2 \geq T$ may be filled.

[Claim 5] It continues until said opening lower part (4b) is lost in said etching process among layers (2) which doubled said wiring layer and a passivation layer (2a), and said insulating layer (2b), Or a manufacturing method of a semiconductor device given in claims 2 and 3 changing to conditions with little transverse direction etching that a selection ratio is small, and performing etching for silicon removal.

[Claim 6] After performing a process of performing etching for silicon removal so that said opening lower part (4b) may not be lost in said etching process among layers (2) which doubled said wiring layer and a passivation layer (2a), and said insulating layer (2b), A manufacturing method of a semiconductor device given in claims 2 and 3 performing etching for insulator layer removal so that said opening lower part (4b) may be lost among layers (2) which doubled said wiring layer and a passivation layer (2a), and said insulating layer (2b).

[Claim 7] It has the process of forming the 1st slot (4c) in the surface of a layer (2) which doubled said wiring layer and a passivation layer (2a), and said insulating layer (2b) before said opening formation process, A manufacturing method of a semiconductor device of any one statement of claim 1 thru/or 6 forming said opening (4) which has said opening upper part (4a) and said opening lower part (4b) in this slot (4c).

[Claim 8] A manufacturing method of the semiconductor device according to claim 7 characterized by comprising the following.

A process of forming the 2nd slot (8) in the surface of a layer (2b) which doubled said wiring layer and a passivation layer (2a), and said insulating layer (2b) before said opening formation process.

A process of forming a crevice (9) in said 2nd slot (8).

By forming an insulating layer (10) of predetermined thickness on a layer (2) which doubled said wiring layer and a passivation layer (2a) including said 2nd slot (8) and said crevice (9), and said insulating layer (2b), A process of narrowing width of said 2nd slot (8) and said crevice (9), and forming said 1st slot (4c) and said opening upper part (4a).

[Claim 9] A manufacturing method of the semiconductor device according to claim 5 adding spatter etching which takes an angle of said semiconductor substrate (1) in said beer shape in order to make it shape which opens beer shape used as a removal section of said semiconductor substrate (1) one by one toward

an opening.

[Claim 10]A manufacturing method of the semiconductor device according to claim 6 adding isotropic etching which takes an angle of said semiconductor substrate (1) in said beer shape, or sputter etching in order to make it shape which opens beer shape used as a removal section of said semiconductor substrate (1) one by one toward an opening.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention is applied to the manufacturing method of the semiconductor device which equips a semiconductor substrate with a penetrating electrode, and is preferred.

[0002]

[Description of the Prior Art]Drawing 14 shows the beer formation process used conventionally. He forms the opening 14 in an oxide film with the resist mask 13 (drawing 14 (b)), and is trying to form the beer 16 in the silicon substrate 11 by the opening of the oxide film in the former (drawing 14 (c)). A procedure is explained to details below.

[0003]After forming the insulating layer 12b used as the mask material in Si etching of an oxide film (SiO_2 film) etc. on the structure (the silicon substrate 11, a wiring layer, and the passivation film 12a) of a semiconductor device, The photoresist 13 is applied and the opening 13a is formed in a desired portion by a photolithography (drawing 14 (a)). Next, the wiring layer and the insulating layer 12b of the oxide film 12a and LSI structure are doubled, the opening 14 is formed by the anisotropic etching for SiO_2 , and photoresist is removed (drawing 14 (b)). Then, he is trying to form the beer 16 in the silicon substrate 11 by performing dry etching of the anisotropy which used the oxide film 12b as the mask as shown in drawing 14 (c).

[0004]And after this, insulator layers, such as SiO_2 , are formed in the wall of this beer, and electrical conduction substances, such as metal, are embedded using plating processing etc., and by carrying out the thinning of the silicon substrate 11 from the rear-face side, the conduction substance embedded from the beer 16 is exposed, and it is considered as a penetrating electrode.

[0005]

[Problem(s) to be Solved by the Invention]However, since transverse direction etching of the silicon substrate 11 is also performed in the case of dry etching, The beer 16 formed in the silicon substrate 11 will spread also in a transverse direction, and it will remain so that the insulating layer 12b used as the wiring layer, the passivation layer 12a, and mask of structure of a semiconductor device at this time may jump out of the beer 16. In such a case, when weld slag cannot perform seed layer formation of the plating processing to an inner wall of through hole and the enclosure of penetration is embedded with plating, the problem of generating a void is generated.

[0006]An object of this invention is to enable it to form a good penetrating electrode to a semiconductor substrate by preventing an insulator layer from jumping out of a breakthrough in the shape of eaves in view of the point describing above.

[0007]

[Means for Solving the Problem]In order to attain the above-mentioned purpose, in the invention according to claim 1 to 9. An insulation layer forming process which forms an insulating layer (2b) on the surface of a

wiring layer formed on a semiconductor substrate (1), and a passivation layer (2a). An opening formation process which forms an opening (4) which reaches a layer (2) which doubled an insulating layer (2b), a wiring layer, and a passivation layer (2a) to the surface of a semiconductor substrate (1). An etching process which etches a semiconductor substrate (1) through an opening (4) using an insulating layer (2b) as a mask. In a removal section (6) in a semiconductor substrate (1) by etching, including an insulating layer and a penetrating electrode formation process which forms an electrode in an opening formation process. An opening (4) is made into shape with the stage, and it is characterized by expanding aperture width of the opening upper part (4a) which becomes a side which separates from a semiconductor substrate (1) among these openings (4) rather than aperture width of the opening lower part (4b) which consists of semiconductor substrates (1) a near side.

[0008] Thus, if it is made to become the opening upper part (4a) and the opening lower part (4b) by making an opening (4) into shape with the stage, in the opening lower part (4b), a layer (2) will disappear at the time of etching, and aperture width of an opening (4) will become equivalent to the opening upper part (4a) at the time of an end of etching. A layer (2) which doubled an insulating layer (2b), a wiring layer, and a passivation layer (2a) can be prevented from jumping out of a breakthrough in the shape of eaves by this, and it can be considered as a good penetrating electrode.

[0009] As shown in claim 3, formation of an opening (4) of shape with the stage, for example, The 1st removal process that forms the opening upper part (4a) by removing to predetermined depth c to which the surface of a semiconductor substrate (1) does not expose a layer (2) which doubled a wiring layer and a passivation layer (2a), and an insulating layer (2b). It is carried out by having the 2nd removal process that forms the opening lower part (4b) by removing until the surface of a semiconductor substrate (1) exposes a layer (2) in the opening upper part (4a).

[0010] In the invention according to claim 4, in an opening formation process. A mask used in order to form the opening upper part (4a) in the 1st removal process, If an opening (4) is formed so that relation between $(b-f) / 2 \geq T$ may be filled when the maximum of the amount of mask gaps with a mask used in order to form the opening lower part (4b) in the 2nd process is set to T, Even if the amount of mask gaps in the 1st removal process and the 2nd removal process can be expected and a mask gap arises, a layer (2) which doubled a wiring layer and a passivation layer (2a), and an insulating layer (2b) in the shape of eaves certainly at the time of an end of etching can be prevented from remaining.

[0011] What is necessary is just to form an opening (4) with an opening formation process so that relation between $(b+2g-f) / 2 \geq T$ may be filled if a layer (2) which doubled a wiring layer and a passivation layer (2a), and an insulating layer (2b) in an etching process expects the quantity g etched into a transverse direction.

[0012] After performing a process of performing etching for silicon removal so that the opening lower part (4b) may not be lost among layers (2) which doubled a wiring layer and a passivation layer (2a), and an insulating layer (2b) as shown in claim 6, If it is made to perform etching for insulator layer removal so that the opening lower part (4b) may be lost among layers (2) which doubled a wiring layer and a passivation layer (2a), and an insulating layer (2b), A layer (2) which doubled a wiring layer and a passivation layer (2a), and an insulating layer (2b) in the shape of eaves certainly can be prevented from remaining, without having any influence on an opening (6).

[0013] It has the process of forming the 1st slot (4c) in the surface of a layer (2) which doubled a wiring layer and a passivation layer (2a), and an insulating layer (2b) before an opening formation process in the invention according to claim 7, In an opening formation process, it is characterized by forming an opening (4) which has the opening upper part (4a) and the opening lower part (4b) in the 1st slot (4c). Thus, when an opening (4) is formed in the 1st slot (4c), it can leave the 1st slot (4c) in the same shape as an etching process front also after an etching process.

[0014] In this case, as shown in claim 8, form the 2nd slot (8) in the surface of a layer (2) which doubled a wiring layer and a passivation layer (2a), and an insulating layer (2b) before an opening formation process, and. By forming a crevice (9) in the 2nd slot (8), and forming an insulator layer (10) of predetermined thickness on a layer (2) which doubled a wiring layer and a passivation layer (2a) including the 2nd slot (8) and crevice (9), and an insulating layer (2b), It is also possible to narrow width of the 2nd slot (8) and a crevice (9), and to form the 1st slot (4c) and opening upper part (4a).

[0015] Numerals in a parenthesis of each above-mentioned means show a correspondence relation with a concrete means of a statement to an embodiment mentioned later.

[0016]

[Embodiment of the Invention] (A 1st embodiment) This embodiment explains the case where one embodiment of this invention is applied to the semiconductor device with which a penetrating electrode is

formed. The manufacturing process of a semiconductor device is shown in drawing 1 – drawing 7, and the manufacturing method of a semiconductor device is explained to them based on these figures. About the process of forming a penetrating electrode eventually, since it is the same as usual, it shall not illustrate here.

[0017][The process shown in drawing 1] Prepare the silicon substrate 1 as a semiconductor substrate, and to the silicon substrate 1 First, various elements, After performing wiring and formation 2a of passivation, insulating-layer 2b used as the mask at the time of etching of Si beer 6 opening, for example, silicon oxide etc., is formed on the surface of the composition (namely, the silicon substrate 1, the wiring, and the passivation film 2a in which the element was formed) of a semiconductor device.

[0018]Then, on silicon oxide 2b, the photoresist 3 is formed, and the opening of the request portion of the photoresist 3 is carried out, and the opening 3a is formed.

[0019][The process shown in drawing 2] Photoresist 3 is used as a mask and the anisotropic dry etching for silicon oxide removes the doubled total layers 2 with the wiring layer and the passivation layer 2a which constitute silicon oxide 2b and a semiconductor device to forward [which the surface of the silicon substrate 1 exposes] to prescribed depth c. This process is equivalent to the 1st removal process. The dent 4a which has aperture width equivalent to the opening 3a of photoresist by this in the side which separates from the silicon substrate 1 among the silicon oxide 2, i.e., the opening upper part, is formed. Hereafter, this dent 4a is called opening upper part.

[0020][The process shown in drawing 3] After removing the photoresist 3, the photoresist 5 is formed again and the opening of the photoresist 5 is carried out into the opening upper part 4a. Thereby, the opening 5a narrower than the aperture width of the opening upper part 4a is formed in the photoresist 5.

[0021][The process shown in drawing 4] A selection ratio with silicon removes the remaining total layers 2 by the anisotropic dry etching for [large] silicon oxide etc. until the surface of the silicon substrate 1 is exposed by using photoresist 5 as a mask. This process is equivalent to the 2nd removal process, and constitutes an opening formation process with the 1st removal process of the above. Thereby, the opening 4 by the opening upper part 4a and the opening lower part 4b whose aperture width is narrower than it is formed in the total layers 2. Then, the photoresist 5 is removed.

[0022][The process shown in drawing 5 – drawing 7] Dry etching of the anisotropy for silicon with a large selection ratio with silicon oxide etc. which used the total layers 2 as the mask is performed, and the beer 6 is formed to the silicon substrate 1. Thereby, first, as shown in drawing 5, the silicon substrate 1 is removed according to the opening of the opening lower part 4b.

[0023]At this time, since etching quantity is large, the silicon substrate 1 is etched also into a transverse direction, and since the beer 6 is formed so that it may spread rather than the opening of the opening lower part 4b, it will remain so that the total layers 2 may jump out in the shape of eaves to the beer 6. However, since a part for the selection ratio of SiO_2 to Si and the total layers 2 are also etched in the case of formation of the beer 6, the whole surface of the total layers 2 is also so, but. Especially the thickness of the opening lower part 4b becomes thin gradually, the aperture width of the opening 4 in the total layers 2 becomes equivalent to the aperture width of the opening upper part 4a eventually, and the aperture width of the opening upper part 4a and the beer 6 of the same size are formed. Therefore, they can be prevented from the total layers 2 jumping out of the beer 6 in the shape of eaves, and remaining.

[0024]Then, the conduction substance which formed insulator layers, such as SiO_2 , in the wall of this beer, embedded electrical conduction substances, such as metal, using plating processing etc., deleted the silicon substrate 1 from the rear-face side, and was embedded from the beer 6 by removal and carrying out thinning is exposed, and it is considered as a penetrating electrode.

[0025]When it does in this way, since the total layers 2 are not sticking out of a breakthrough in the shape of eaves, weld slag can perform seed layer formation processing for plating, etc., and. Since plating processing etc. can be performed good, it can be considered as the good penetrating electrode in which generating of the void was controlled.

[0026]Here, the selection method of the aperture width (opening diameter) of the opening 4 in the opening formation process shown in drawing 2 – drawing 4 is concretely explained to drawing 8 (a) and (b) with reference to the sectional view in the shown manufacturing process.

[0027]As shown in drawing 8 (a) and (b), the aperture width of the opening lower part 4b First, a, The thickness of the sum total (total layers 2) of the wiring layer and the passivation layer 2a which are the composition of insulator layer 2bs, such as c and silicon oxide to add, and a semiconductor device about the thickness of b and the opening upper part 4a in the aperture width of the opening upper part 4a d, Width of the removal section (beer 6) in etching at the time of etching until the depth (depth of the beer 6) which etches to the silicon substrate 1 was set to depth e to e and the silicon substrate 1 is set to f. The

etch rate of the silicon substrate 1 to the etch rate of the total layers 2 by etching is set to s. The etching rate of insulating-layer 2bs, such as the wiring layer and the passivation layer 2a which are the composition of a semiconductor device, and silicon oxide added, is explained as the same for simplification of explanation.

[0028] Supposing the size of each part, etc. are expressed with the above-mentioned parameter, to the cross direction of the opening 4, size selection of the opening upper part 4a and the opening lower part 4b is performed so that the relation of $a < b$ and $b >= f$ may be filled. That is, when the opening lower part 4b is arranged inside the opening upper part 4a by considering it as $a < b$ and $b >= f$ and the total layers 2 have been eventually removed in the opening lower part 4b, size selection in which the total layers 2 do not remain in the shape of eaves to the beer 6 is made.

[0029] In a actual opening formation process, the mask gap with the mask used in order to form the opening upper part 4a in the 1st removal process, and the mask used in order to form the opening lower part 4b in the 2nd process may occur. For this reason, supposing the maximum of the amount of mask gaps is T, he is also trying to fill the relation between $(b-f) / 2 >= T$.

[0030] It explains using the sectional view shown in drawing 9 about this amount of mask gaps. If it assumes that the mask gap occurred in the maximum amount of gaps as shown in drawing 9, in the portion (space right portion) as for which the distance to the open end of the opening lower part 4b becomes the shortest, the distance will be set to $(b-a) / 2-T$ from the open end of the opening upper part 4a. On the other hand, the relation to $(f-a)/2$ of the distance from the open end of the opening lower part 4b to the wall surface of the beer 6 becomes. For this reason, the portion which becomes the shortest in the distance from the open end of the opening upper part 4a to the open end of the opening lower part 4b must be beyond the distance from the open end of the opening lower part 4b to the wall surface of the beer 6. That is, it is necessary to be $(b-a) / 2-T >= (f-a) / 2$, and it will be set to $(b-f) / 2 >= T$ if this relation is simplified.

[0031] Therefore, by making it fill such a relation, even if the amount of mask gaps serves as the maximum, the total layers 2 can be prevented from jumping out of the beer 6 in the shape of eaves.

[0032] Since the total layers 2 will also be actually etched into a transverse direction at the time of etching for the shape of the beer 6, When etching quantity in this transverse direction is set to g, in order that the part of transverse direction etching and the open end of the opening upper part 4a may take the place at the time of the end of etching, the above-mentioned relation is set to $(b-a) / 2+g-T >= (f-a) / 2$. If this relation is simplified, it is set to $(b+2g-f) / 2 >= T$, and if this relation is filled, the above-mentioned effect can be acquired.

[0033] On the other hand, to the thickness direction of the opening 4, by methods, such as selection of etching time, the opening upper part 4a is formed so that the relation of $e/(d-c) >= s$ may be filled. That is, the silicon substrate 1 is etched and it faces forming the beer 6, and when the beer 6 is formed to the request depth, in the opening lower part 4b, the total layers 2 were removed thoroughly, and it is made exposed [the silicon substrate 1]. However, thickness x minutes are actually expected as a margin to lose the eaves-like remainder, and it is made to be set to $e/(d-c+x) = s$ and $x = e/s - (d-c) > 0$. Although the silicon substrate 1 is etched into the part excess of this thickness sx in the opening upper part, and it is set to 6 of step shape, and etching goes also into a transverse direction and eaves are too made also under 4a also in that case, since the amount of [sx] etching quantity of silicon is small, the amount of eaves does not become a problem practically. A selection ratio is made small, and if it is the silicon etching which suppressed transverse direction etching, the problem of the amount of eaves can be eased further.

[0034] (A 2nd embodiment) The manufacturing process of the semiconductor device in a 2nd embodiment of this invention is shown in drawing 10, and the manufacturing method of a semiconductor device is explained to it based on these figures. First, in the process shown in drawing 10 (a), drawing 1 of a 1st embodiment – the same process as drawing 4 are performed, and the opening upper part 4a and the opening lower part 4b are formed to the total layers 2 which it had on the silicon substrate 1. And the same process as drawing 5 of a 1st embodiment and drawing 6 is performed, and the beer 6 is formed to the silicon substrate 1. If the thickness of the opening lower part 4b becomes thin gradually and the etching process for formation of the beer 6 is advanced as it is at this time, the opening lower part 4b will be lost eventually, but as he cannot follow an etching process, it leaves the opening lower part 4b, until the opening lower part 4b is lost.

[0035] And it replaces with etchant for silicon removal, and the total layers 2 are etched using the anisotropic etching for silicon oxide film removal. Thereby, the opening lower part 4b is lost and it can prevent thoroughly remaining so that the total layers 2 may jump out in the shape of eaves to the beer 6.

[0036] Thus, before the opening lower part 4b is lost, etching for silicon removal can be stopped, and the same effect as a 1st embodiment can be more certainly acquired by removing the opening lower part 4b by

etching for silicon oxide film removal.

[0037](A 3rd embodiment) The manufacturing process of the semiconductor device in a 3rd embodiment of this invention is shown in drawing 11 and drawing 12, these figures are based on them, and the manufacturing method of a semiconductor device is explained to them. Drawing 11 and drawing 12 have shown the plan of the semiconductor device to the section composition of the semiconductor device in a manufacturing process, and space right-hand side on the left-hand side of space.

[0038]First, in the process shown in drawing 11 (a), the slot 4c for wiring formation (the 1st slot) is formed in the surface of the total layers 2 which it had on the silicon substrate 1 according to a photolithography process. Then, in the process shown in drawing 11 (b), after forming photoresist on the total layers 2 and carrying out the opening of the predetermined region of photoresist, the opening upper part 4a is formed in the slot 4c by performing etching which used photoresist as the mask. In the process shown in drawing 11 (c), the opening 4b narrower than the aperture width of the opening upper part 4a is formed in the opening upper part 4a by performing the same process as drawing 11 (b). The formed opening upper part 4a and the opening lower part 4b play the same role as what was formed by a 1st embodiment by drawing 11 (b) and (c).

[0039]And in the process shown in drawing 12 (a), the same process as drawing 5 of a 1st embodiment and drawing 6 is performed, and the beer 6 is formed to the silicon substrate 1. And in the process shown in drawing 12 (b), before the opening lower part 4b is lost, etching for silicon removal is stopped, and the opening lower part 4b is lost by changing to etching for silicon oxide film removal. Then, in the process shown in drawing 12 (c), isotropic etching is performed and the slight roundness of the corner part of the beer 6 is processed.

[0040]According to the above manufacturing method, the slot 4c formed above the opening upper part 4a can remain in the shape where it is the same also after formation of the beer 6. Thus, when forming the slot 4c on the opening upper part 4a, it is possible to apply one embodiment of this invention. Here, before the opening lower part 4b is lost like a 2nd embodiment, etching for silicon removal is stopped, but it may be made to perform etching for silicon removal until the opening lower part 4b like a 1st embodiment is lost.

[0041](A 4th embodiment) The manufacturing process of the semiconductor device in a 4th embodiment of this invention is shown in drawing 13, and the manufacturing method of a semiconductor device is explained to it based on these figures. First, in the process shown in drawing 13 (a), the slot 8 for wiring formation (the 2nd slot) is formed in the surface of the total layers 2 which it had on the silicon substrate 1 according to a photolithography process. Then, in the process shown in drawing 13 (b), after forming photoresist on the total layers 2 and carrying out the opening of the predetermined region of photoresist, the crevice 9 is formed in the slot 8 by etching until the silicon substrate 1 is exposed by using photoresist as a mask.

[0042]And the silicon oxide (insulator layer) 10 is formed in the surface of the silicon oxide 2 including the inside of the slot 8 and the crevice 9 in the process shown in drawing 13 (c). Thereby, the slot 8 and the crevice 9 are narrowed by the thickness of the silicon oxide 10, and the slot 4c and the opening upper part 4a are formed like a 3rd embodiment. Then, in the process shown in drawing 13 (d), the opening lower part 4b is formed by performing the same process as drawing 11 (c) in a 3rd embodiment. Although a next process is not illustrated, the beer 6 can be formed in the silicon substrate 1 by performing the same process as drawing 12 (a) – (c) in a 3rd embodiment.

[0043]Thus, even if it forms the silicon oxide 10 after forming the slot 8 and the crevice 9, it is possible to acquire the same effect as a 3rd embodiment.

[0044](Other embodiments) Although silicon oxide 2b used as an interlayer insulation film etc. was mentioned as the example and the above-mentioned embodiment explained it as an insulating layer, even if it is not only silicon oxide but other insulator layers, it is possible to apply this invention similarly. An insulating layer may be a thing of what [not only] is formed of one film but two or more layers.

[0045]Although the above-mentioned embodiment has described how to form a penetrating electrode after the composition of a semiconductor device, it is also possible to make wiring layer formation and penetrating electrode formation of the last of a semiconductor device serve a double purpose. For example, the final wiring of a semiconductor device is formed by 4c of drawing 12, and an electrical connection mouth with the lower layer is formed by 4. If it does in this way, simplification of a manufacturing process can be attained. In providing a penetrating electrode in a silicon substrate also except a semiconductor device, the wiring layer and the PASSHIPSHEON layer 12a in drawing 14 do not exist, but these eaves are canceled by application of this invention although the eaves by 12b arise from the beer 16.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a figure showing the manufacturing process of the semiconductor device in a 1st embodiment of this invention.

[Drawing 2]It is a figure showing the manufacturing process of the semiconductor device following drawing 1.

[Drawing 3]It is a figure showing the manufacturing process of the semiconductor device following drawing 2.

[Drawing 4]It is a figure showing the manufacturing process of the semiconductor device following drawing 3.

[Drawing 5]It is a figure showing the manufacturing process of the semiconductor device following drawing 4.

[Drawing 6]It is a figure showing the manufacturing process of the semiconductor device following drawing 5.

[Drawing 7]It is a figure showing the manufacturing process of the semiconductor device following drawing 6.

[Drawing 8]It is a figure explaining the size about the aperture width of the opening upper part 4a and the opening lower part 4b, etc.

[Drawing 9]It is a figure explaining the size about the aperture width of the opening upper part 4a and the opening lower part 4b at the time of a mask gap.

[Drawing 10]It is a figure showing the manufacturing process of the semiconductor device in a 2nd embodiment of this invention.

[Drawing 11]It is a figure showing the manufacturing process of the semiconductor device in a 3rd embodiment of this invention.

[Drawing 12]It is a figure showing the manufacturing process of the semiconductor device following drawing 11.

[Drawing 13]It is a figure showing the manufacturing process of the semiconductor device in a 4th embodiment of this invention.

[Drawing 14]It is a figure showing the beer formation process in the conventional semiconductor device.

[Description of Notations]

1 [-- The opening upper part, 4b / -- The opening lower part, 6 / -- Beer.] -- A silicon substrate, 2 -- A wiring layer, a passivation layer and an insulator layer, 4 -- An opening, 4a

[Translation done.]

* NOTICES *

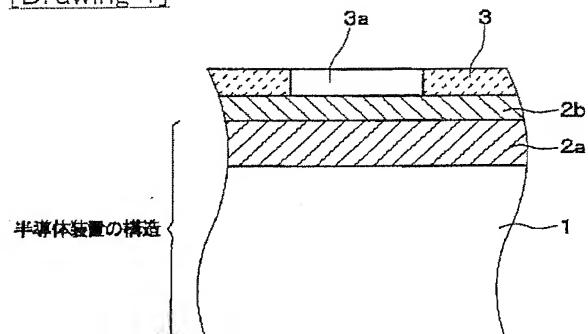
JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

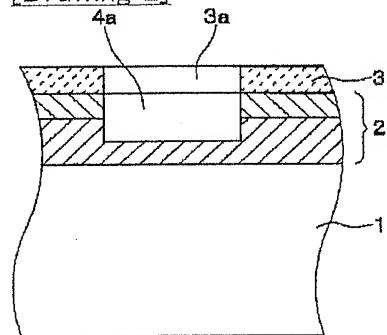
DRAWINGS

[Drawing 1]

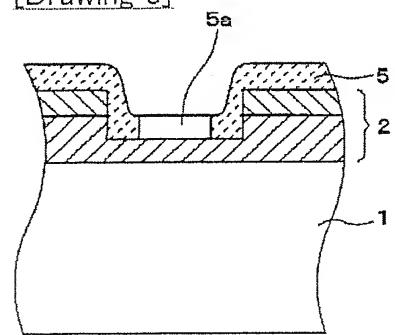


1:シリコン基板
2a:配線層およびバッファーション層
2b:絶縁層
3:フォトレジスト

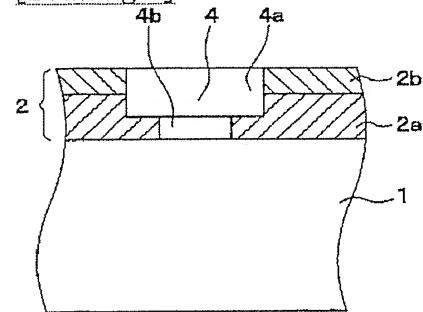
[Drawing 2]



[Drawing 3]

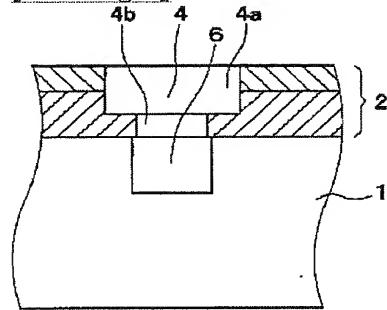


[Drawing 4]

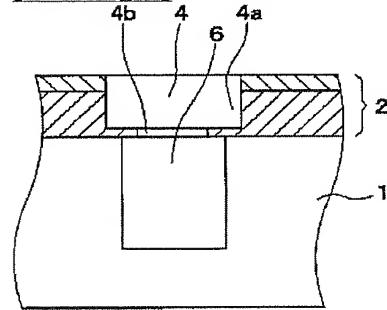


1:シリコン基板
2a:配線層およびバッファーション層
2b:絶縁層
4:開口部
4a:開口部上部
4b:開口部下部

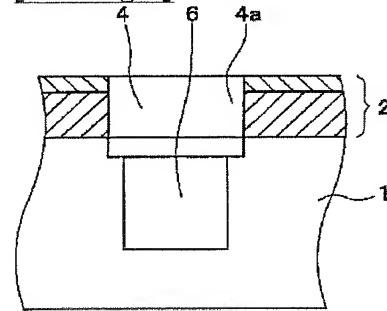
[Drawing 5]



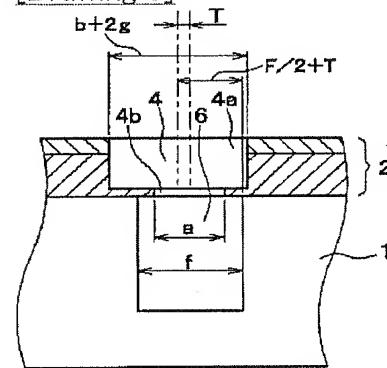
[Drawing 6]



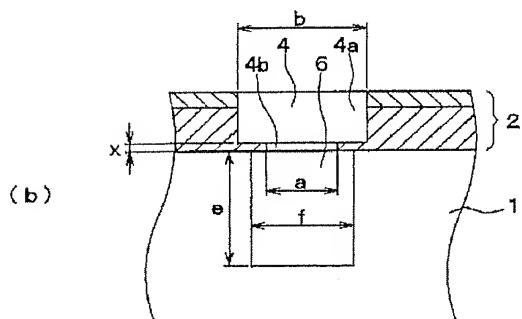
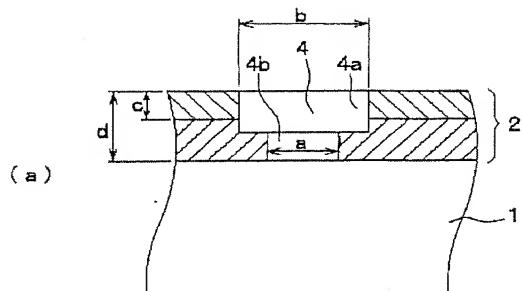
[Drawing 7]



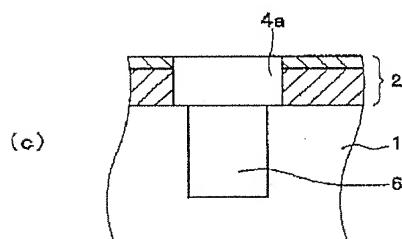
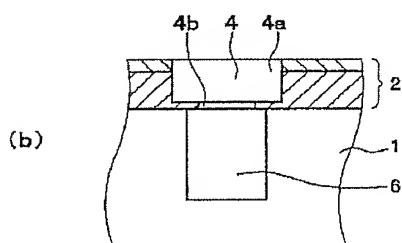
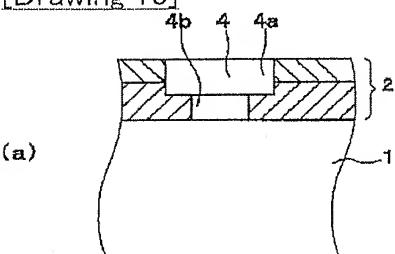
[Drawing 9]



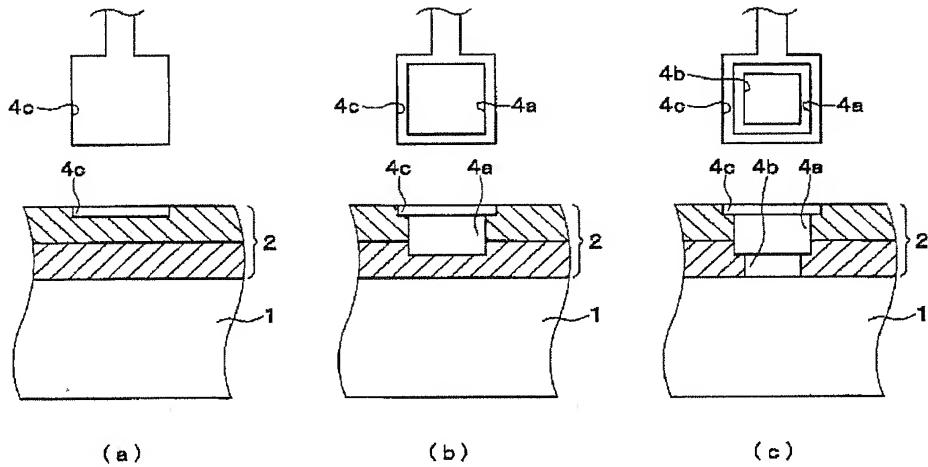
[Drawing 8]



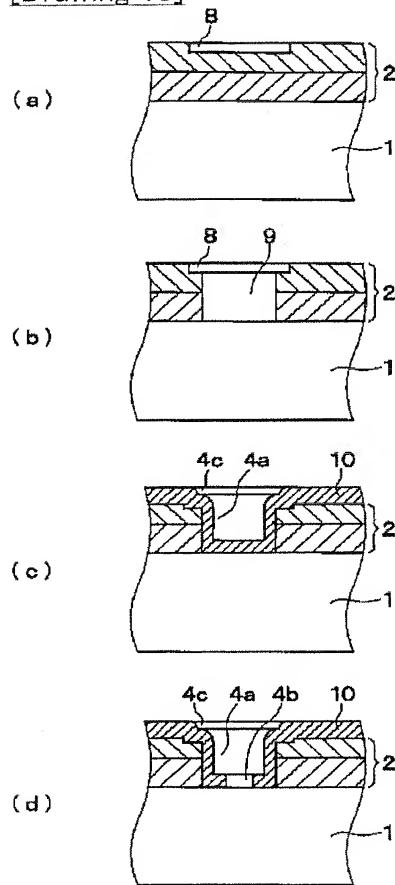
[Drawing 10]



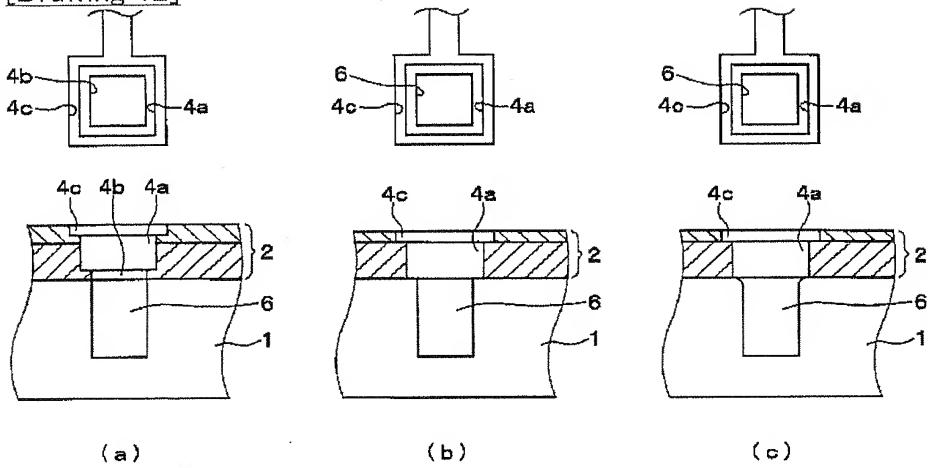
[Drawing 11]



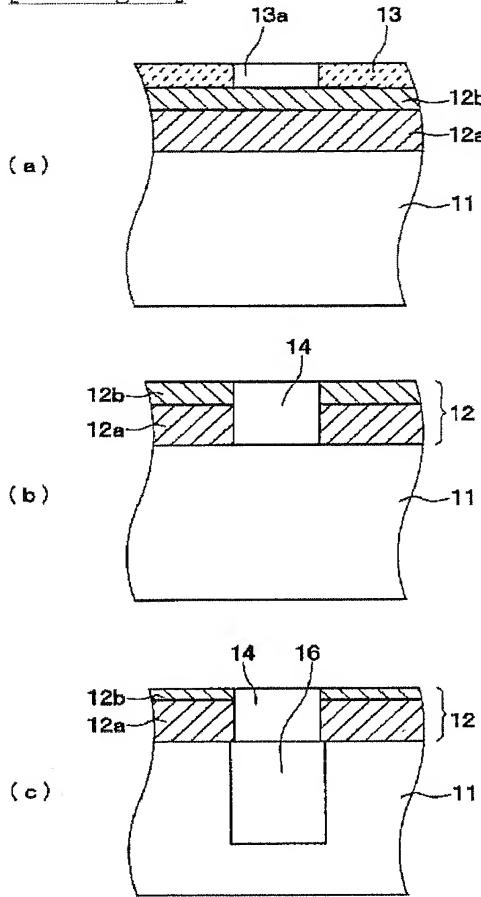
[Drawing 13]



[Drawing 12]



[Drawing 14]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-31520

(P2003-31520A)

(43) 公開日 平成15年1月31日 (2003.1.31)

(51) Int.Cl.⁷

H 01 L 21/28
21/3065
21/3205

識別記号

F I

テマコード(参考)

H 01 L 21/28
21/88
21/302

L 4 M 1 0 4
J 5 F 0 0 4
H 5 F 0 3 3

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2001-212431(P2001-212431)

(22) 出願日 平成13年7月12日 (2001.7.12)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 富坂 学

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外2名)

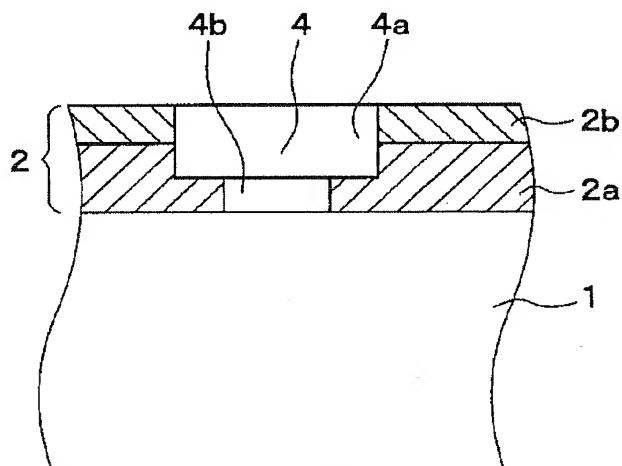
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 絶縁膜が貫通孔からひさし状に飛び出ることを防止することにより、半導体基板に良好な貫通電極が形成できるようにする。

【解決手段】 エッチング時に、配線層及びパッシベーション膜2aとシリコン酸化膜2bとを合わせた全層2をマスクとし、この全層2の開口部4を段付き形状として、開口部4のうちシリコン基板1から離れる側となる開口部上部4aにおいて、シリコン基板1から近い側となる開口部下部4bの開口幅を広げる。このようにすれば、エッチング時に開口部下部4bにおいて全層2が消失し、エッチング終了時に開口部4の開口幅が開口部上部4aと同等となる。これにより、全層2が貫通孔からひさし状に飛び出ないようにでき、良好な貫通電極とすることができる。



1:シリコン基板

2a:配線層およびパッシベーション層

2b:絶縁層

4:開口部

4a:開口部上部

4b:開口部下部

【特許請求の範囲】

【請求項1】 半導体基板(1)の上に形成された配線層及びパッシバーション層(2a)の表面上に絶縁層(2b)を形成する絶縁層形成工程と、前記絶縁層(2b)と前記配線層およびパッシバーション層(2a)とを合わせた層(2)に前記半導体基板(1)の表面まで達する開口部(4)を形成する開口部形成工程と、前記絶縁層(2b)をマスクとして用い、前記開口部(4)を通じて前記半導体基板(1)をエッチングするエッチング工程と、前記エッチングによる半導体基板(1)における除去部分(6)内に絶縁層と電極を形成する貫通電極形成工程とを含み、前記開口部形成工程では、前記開口部(4)を段付き形状とし、該開口部(4)のうち前記半導体基板(1)から離れる側となる開口部上部(4a)の開口幅を、前記半導体基板(1)から近い側となる開口部下部(4b)の開口幅よりも広げることを特徴とする半導体装置の製造方法。

【請求項2】 前記開口部形成工程では、前記開口部上部(4a)の厚みをc、前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2)の厚みをd、前記半導体基板(1)に対して前記エッチングを行う深さをeとし、前記エッチングによる前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2)のエッチング速度に対する前記半導体基板(1)のエッチング速度比をsとすると、 $e / (d - c) \leq s$ の関係を満たすように前記開口部(4)を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記開口部形成工程は、前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2)を前記半導体基板(1)の表面が露出しない所定の深さまで除去することで前記開口部上部(4a)を形成する第1除去工程と、前記開口部上部(4a)内において、前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2)を前記半導体基板(1)の表面が露出するまで除去することで前記開口部下部(4b)を形成する第2除去工程と、を有していることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記開口部形成工程では、前記第1除去工程において前記開口部上部(4a)を形成するために用いるマスクと、前記第2工程において前記開口部下部(4b)を形成するために用いるマスクとのマスクずれ量の最大値がTとなる場合、前記半導体基板(1)に対して深さeとなるまで前記エッチングを行った場合に該エッチングでの除去部分(6)の幅をfとし、前記エッチング工程において前記配線層及びパッシ

ベーション層(2a)と前記絶縁層(2b)とを合わせた層(2)が横方向にエッチングされる量をgとするとき、 $(b + 2g - f) / 2 \geq T$ の関係を満たすように前記開口部(4)を形成することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記エッチング工程では、前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2)のうち前記開口部下部(4b)がなくなるまで継続して、または、選択比が小さく横方向エッチングが少ない条件に切り替えてシリコン除去用のエッチングを行なうことを特徴とする請求項2及び3に記載の半導体装置の製造方法。

【請求項6】 前記エッチング工程では、前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2)のうち前記開口部下部(4b)がなくなるようにシリコン除去用のエッチングを施す工程を行なった後、前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2)のうち前記開口部下部(4b)がなくなるように絶縁膜除去用のエッチングを行なうことを特徴とする請求項2及び3に記載の半導体装置の製造方法。

【請求項7】 前記開口部形成工程の前に、前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2)の表面に第1の溝(4c)を形成する工程を有し、この溝(4c)内に前記開口部上部(4a)および前記開口部下部(4b)を有する前記開口部(4)を形成することを特徴とする請求項1乃至6のいずれか1つに記載の半導体装置の製造方法。

【請求項8】 前記開口部形成工程の前に、前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2b)の表面に第2の溝(8)を形成する工程と、前記第2の溝(8)内に凹部(9)を形成する工程と、前記第2の溝(8)および前記凹部(9)を含む前記配線層及びパッシバーション層(2a)と前記絶縁層(2b)とを合わせた層(2)上に所定膜厚の絶縁層(10)を成膜することによって、前記第2の溝(8)および前記凹部(9)の幅を狭め、前記第1の溝(4c)および前記開口部上部(4a)を形成する工程とを有することを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記半導体基板(1)の除去部分となるビア形状を開口に向かって順次開く形状にするために、前記ビア形状内において、前記半導体基板(1)の角を取るスパッターエッチングを加えることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項10】 前記半導体基板(1)の除去部分となるビア形状を開口に向かって順次開く形状にするために、前記ビア形状内において、前記半導体基板(1)の角を取る等方性エッチング、又はスパッターエッチングを加えることを特徴とする請求項6に記載の半導体装置の製

造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板に貫通電極を備える半導体装置の製造方法に適用して好適である。

【0002】

【従来の技術】図14は、従来より用いられているビア形成工程を示したものである。従来では、レジストマスク13で酸化膜に開口部14を形成し(図14(b))、その酸化膜の開口部でシリコン基板11にビア16を形成するようにしている(図14(c))。以下詳細に手順を説明する。

【0003】半導体装置の構造(シリコン基板11と配線層及びパッシベーション層12a)上に酸化膜(SiO₂膜)等のSiエッチングでのマスク材となる絶縁層12bを形成したのち、フォトレジスト13を塗り、フォトリソグラフィによって所望の部分に開口部13aを形成する(図14(a))。つぎに、酸化膜12aとLSI構造の配線層および絶縁層12bを合わせてSiO₂用の異方性エッチングで開口部14を形成し、フォトレジストを除去する(図14(b))。この後、図14(c)に示すように酸化膜12bをマスクとした異方性のドライエッチングを施すことで、シリコン基板11にビア16を形成するようにしている。

【0004】そして、この後、このビアの内壁にSiO₂などの絶縁膜を形成し、金属などの電気伝導物質をめつき処理などを用いて埋め込み、シリコン基板11を裏面側から薄肉化することで、ビア16に埋め込まれた伝導物質を露出させて貫通電極とする。

【0005】

【発明が解決しようとする課題】しかしながら、ドライエッチングの際にはシリコン基板11の横方向エッチングも行われるため、シリコン基板11に形成されるビア16は横方向にも広がり、このときに半導体装置の構造の配線層およびパッシベーション層12aおよびマスクとして用いた絶縁層12bが、ビア16から飛び出るようになってしまふ。このような場合、貫通孔内壁へのめつき処理のシード層形成をスパッタによって行うことができないし、また、貫通構内をめつきで埋め込んだ際にボイドを発生させるという問題を発生させる。

【0006】本発明は上記点に鑑みて、絶縁膜が貫通孔からひさし状に飛び出ることを防止することにより、半導体基板に良好な貫通電極が形成できるようにすることを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、請求項1乃至9に記載の発明では、半導体基板(1)の上に形成された配線層及びパッシベーション層(2a)の表面上に絶縁層(2b)を形成する絶縁層形

成工程と、絶縁層(2b)と配線層およびパッシベーション層(2a)とを合わせた層(2)に半導体基板

(1)の表面まで達する開口部(4)を形成する開口部形成工程と、絶縁層(2b)をマスクとして用い、開口部(4)を通じて半導体基板(1)をエッチングするエッチング工程と、エッチングによる半導体基板(1)における除去部分(6)内に絶縁層と電極を形成する貫通電極形成工程とを含み、開口部形成工程では、開口部(4)を段付き形状とし、該開口部(4)のうち半導体基板(1)から離れる側となる開口部上部(4a)の開口幅を、半導体基板(1)から近い側となる開口部下部(4b)の開口幅よりも広げることを特徴としている。

【0008】このように、開口部(4)を段付き形状として開口部上部(4a)と開口部下部(4b)となるようすれば、エッチング時に開口部下部(4b)において層(2)が消失し、エッチング終了時に開口部(4)の開口幅が開口部上部(4a)と同等になる。これにより、絶縁層(2b)と配線層およびパッシベーション層(2a)とを合わせた層(2)が貫通孔からひさし状に飛び出ないようにでき、良好な貫通電極とすることができる。

【0009】また、段付き形状の開口部(4)の形成は、例えば、請求項3に示すように、配線層及びパッシベーション層(2a)と絶縁層(2b)とを合わせた層(2)を半導体基板(1)の表面が露出しない所定の深さcまで除去することで開口部上部(4a)を形成する第1除去工程と、開口部上部(4a)内において、層(2)を半導体基板(1)の表面が露出するまで除去することで開口下部(4b)を形成する第2除去工程とを有して行われる。

【0010】請求項4に記載の発明では、開口部形成工程では、第1除去工程において開口部上部(4a)を形成するために用いるマスクと、第2工程において開口部下部(4b)を形成するために用いるマスクとのマスクずれ量の最大値がTとなる場合、(b-f)/2 ≥ Tの関係を満たすように開口部(4)を形成すれば、第1除去工程と第2除去工程におけるマスクずれ量を見込むことができ、マスクずれが生じてもエッチング終了時に確実にひさし状に配線層及びパッシベーション層(2a)と絶縁層(2b)とを合わせた層(2)が残ることを防止することができる。

【0011】さらに、エッチング工程において配線層及びパッシベーション層(2a)と絶縁層(2b)とを合わせた層(2)が横方向にエッチングされる量gを見込めば、開口部形成工程では、(b+2g-f)/2 ≥ Tの関係を満たすように開口部(4)を形成すればよい。

【0012】また、請求項6に示すように、配線層及びパッシベーション層(2a)と絶縁層(2b)とを合わせた層(2)のうち開口部下部(4b)がなくならないようにシリコン除去用のエッチングを行なつ

た後、配線層及びパッシベーション層(2a)と絶縁層(2b)とを合わせた層(2)のうち開口部下部(4b)がなくなるように絶縁膜除去用のエッティングを行なうようにすると、開口部(6)に何らの影響を与えることなく、確実にひさし状に配線層及びパッシベーション層(2a)と絶縁層(2b)とを合わせた層(2)が残ることを防止することができる。

【0013】請求項7に記載の発明では、開口部形成工程の前に、配線層及びパッシベーション層(2a)と絶縁層(2b)とを合わせた層(2)の表面に第1の溝(4c)を形成する工程を有し、開口部形成工程では、第1の溝(4c)内に開口部上部(4a)および開口部下部(4b)を有する開口部(4)を形成することを特徴としている。このように、第1の溝(4c)内に開口部(4)を形成するようにした場合、エッティング工程後にも第1の溝(4c)をエッティング工程前と同様の形状で残すことができる。

【0014】この場合、請求項8に示すように、開口部形成工程の前に、配線層及びパッシベーション層(2a)と絶縁層(2b)とを合わせた層(2)の表面に第2の溝(8)を形成すると共に、第2の溝(8)内に凹部(9)を形成しておき、第2の溝(8)および凹部(9)を含む配線層及びパッシベーション層(2a)と絶縁層(2b)とを合わせた層(2)上に所定膜厚の絶縁膜(10)を成膜することによって、第2の溝(8)および凹部(9)の幅を狭め、第1の溝(4c)および開口部上部(4a)を形成するようにすることも可能である。

【0015】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0016】

【発明の実施の形態】(第1実施形態)本実施形態では、本発明の一実施形態を貫通電極が形成される半導体装置に適用した場合について説明する。図1～図7に、半導体装置の製造工程を示し、これらの図に基づいて半導体装置の製造方法を説明する。なお、最終的に貫通電極を形成する工程に関しては従来と同様であるため、ここでは図示しないものとする。

【0017】【図1に示す工程】まず、半導体基板としてシリコン基板1を用意し、シリコン基板1に対して各種素子、配線、パッシベーションの形成2aを行った後、半導体装置の構成(すなわち素子が形成されたシリコン基板1と配線及びパッシベーション膜2a)の表面上にSiビア6開口のエッティング時のマスクとなる絶縁層2b、例えばシリコン酸化膜などを成膜する。

【0018】その後、シリコン酸化膜2bの上にフォトレジスト3を成膜すると共に、フォトレジスト3の所望部分を開口させて開口部3aを形成する。

【0019】【図2に示す工程】フォトレジスト3をマ

スクとし、シリコン基板1の表面が露出する前までシリコン酸化膜2bと半導体装置を構成する配線層およびパッシベーション層2aとの合わせた全層2を所定深さcまで、シリコン酸化膜用の異方性ドライエッティングにより除去する。この工程が第1除去工程に相当する。これにより、シリコン酸化膜2のうちシリコン基板1から離れる側において、フォトレジストの開口部3aと同等の開口幅を有する凹み4a、つまり開口上部が形成される。以下、この凹み4aを開口上部という。

【0020】【図3に示す工程】フォトレジスト3を除去したのち、再びフォトレジスト5を成膜し、開口部上部4a内において、フォトレジスト5を開口させる。これにより、フォトレジスト5に開口部上部4aの開口幅より狭い開口部5aが形成される。

【0021】【図4に示す工程】フォトレジスト5をマスクとしてシリコン基板1の表面が露出するまで残りの全層2を、シリコンとの選択比が大きいシリコン酸化膜用等の異方性ドライエッティングにより除去する。この工程が第2除去工程に相当し、上記第1除去工程と共に開口部形成工程を構成する。これにより、全層2に、開口部上部4aおよび、それよりも開口幅が狭い開口部下部4bによる開口部4が形成される。その後、フォトレジスト5を除去する。

【0022】【図5～7に示す工程】全層2をマスクとした、シリコン酸化膜等との選択比が大きいシリコン用の異方性のドライエッティングを行い、シリコン基板1に対してビア6を形成していく。これにより、まず、図5に示すように、シリコン基板1は開口部下部4bの開口に合わせて除去される。

【0023】このとき、エッティング量が大きいのでシリコン基板1は横方向にもエッティングされ、開口部下部4bの開口よりも広がるようにビア6が形成されていくため、全層2がビア6に対してひさし状に飛び出るようにならうことになる。しかしながら、ビア6の形成の際に、Siに対するSiO₂の選択比、全層2もエッティングされるため、全層2の全面もそうだが、特に開口部下部4bの厚みが徐々に薄くなっている、最終的には全層2における開口部4の開口幅が開口上部4aの開口幅と同等になって、開口部上部4aの開口幅と同サイズのビア6が形成される。従って、全層2がビア6からひさし状に飛び出で残ることを防止することができる。

【0024】この後、このビアの内壁にSiO₂などの絶縁膜を形成し、金属などの電気伝導物質をめっき処理などを用いて埋め込み、シリコン基板1を裏面側から削って除去・薄肉化することで、ビア6に埋め込まれた伝導物質を露出させて貫通電極とする。

【0025】このようにした場合、全層2が貫通孔からひさし状に飛び出でていないため、スパッタによってめっき用シード層形成処理などを行うことができると共に、めっき処理などが良好に行われるようにできること

から、ボイドの発生が抑制された良好な貫通電極とすることができる。

【0026】ここで、図2～図4に示した開口部形成工程における開口部4の開口幅(開口径)の選択方法について、図8(a)、(b)に示す製造工程中の断面図を参照して具体的に説明する。

【0027】まず、図8(a)、(b)に示すように、開口部下部4bの開口幅をa、開口部上部4aの開口幅をb、開口部上部4aの厚みをc、追加するシリコン酸化膜などの絶縁膜2bと半導体装置の構成である配線層およびパッシベーション層2aの合計(全層2)の厚みをd、シリコン基板1に対してエッティングを行う深さ(ビア6の深さ)をe、シリコン基板1に対して深さeとなるまでエッティングを行った場合におけるエッティングでの除去部分(ビア6)の幅をfとする。また、エッティングによる全層2のエッティング速度に対するシリコン基板1のエッティング速度をsとする。なお、説明の簡略化のため、半導体装置の構成である配線層およびパッシベーション層2aと追加されるシリコン酸化膜などの絶縁層2bのエッティングレートは同一として説明する。

【0028】各部位のサイズ等が上記パラメータで表されるとすると、開口部4の幅方向に対しては、 $a < b$ 、 $b \geq f$ の関係を満たすように開口部上部4aおよび開口部下部4bのサイズ選択を行っている。すなわち、 $a < b$ 、 $b \geq f$ とすることによって開口部下部4bが開口部上部4aの内部に配置されるようにすると共に、最終的に開口部下部4bにおいて全層2が除去されてしまった時に、ビア6に対して全層2がひさし状に残らないようなサイズ選択をしている。

【0029】また、実際の開口部形成工程においては、第1除去工程において開口部上部4aを形成するために用いるマスクと、第2工程において開口部下部4bを形成するために用いるマスクとのマスクずれが発生し得る。このため、マスクずれ量の最大値がTであるとすると、 $(b - f) / 2 \geq T$ の関係を満たすようにもしている。

【0030】このマスクずれ量に関して、図9に示す断面図を用いて説明する。図9に示すように、最大のずれ量でマスクずれが発生したと仮定すると、開口部上部4aの開口端から開口部下部4bの開口端までの距離が最も短くなる部分(紙面右側部分)においては、その距離が $(b - a) / 2 - T$ となる。これに対し、開口部下部4bの開口端からビア6の側壁面までの距離の関係が $(f - a) / 2$ となる。このため、開口部上部4aの開口端から開口部下部4bの開口端までの距離が最も短くなる部分が開口部下部4bの開口端からビア6の側壁面までの距離以上でなければならない。すなわち、 $(b - a) / 2 - T \geq (f - a) / 2$ である必要があり、この関係を簡略化すると、 $(b - f) / 2 \geq T$ となる。

【0031】従って、このような関係を満たすようにす

ることで、マスクずれ量が最大となったとしてもビア6から全層2がひさし状に飛び出ることを防止することができる。

【0032】なお、実際には、ビア6の形状のためのエッティング時に全層2も横方向にエッティングされることになるため、この横方向におけるエッティング量をgとするとき、エッティング終了時には横方向エッティングの分、開口部上部4aの開口端が交代することになるため、上記関係は $(b - a) / 2 + g - T \geq (f - a) / 2$ となる。

10 この関係を簡略化すると、 $(b + 2g - f) / 2 \geq T$ となり、この関係を満たせば上記効果を得ることができる。

【0033】一方、開口部4の厚み方向に対しては、エッティング時間の選択などの方法により、 $e / (d - c) \geq s$ の関係を満たすよう開口部上部4aを形成している。すなわち、シリコン基板1をエッティングしてビア6を形成するに際し、ビア6を所望深さまで形成した時に開口部下部4bにおいて全層2が完全に除去されてシリコン基板1が露出した状態になるようとする。ただし、実際には、ひさし状の残部を無くす余裕として厚みx分を見込み、 $e / (d - c + x) = s$ 、 $x = e / s - (d - c) > 0$ となるようにする。この厚みs xの分余分にシリコン基板1が開口上部でエッティングされ段差形状の6となり、やはりその際にも4aの下でも横方向にもエッティングが入り底ができるが、シリコンのエッティング量分s xは少ないので底量は実用上問題にならない。更に、選択比を小さくし、横方向エッティングを抑えたシリコンエッティングであれば、底量の問題は更に緩和できる。

30 【0034】(第2実施形態)図10に、本発明の第2実施形態における半導体装置の製造工程を示し、これらの図に基づいて半導体装置の製造方法を説明する。まず、図10(a)に示す工程では、第1実施形態の図1～図4と同様の工程を行ない、シリコン基板1の上に備えられた全層2に対して開口部上部4aおよび開口部下部4bを形成する。そして、第1実施形態の図5、図6と同様の工程を行ない、シリコン基板1に対してビア6を形成していく。このとき、開口部下部4bの厚みが徐々に薄くなっていき、このままビア6の形成のためのエッティング工程を進めれば最終的に開口部下部4bがなくなることになるが、開口部下部4bが無くなるまでエッティング工程を進めないようにして開口部下部4bを残す。

【0035】そして、シリコン除去用のエッチャントに代えてシリコン酸化膜除去用の異方性エッティングを用い、全層2をエッティングする。これにより、開口部下部4bがなくなり、全層2がビア6に対してひさし状に飛び出るように残ることを完全に防止することができる。

【0036】このように、開口部下部4bがなくなる前にシリコン除去用のエッティングを止め、シリコン酸化膜

除去用のエッチングによって開口部下部4bを除去することで第1実施形態と同様の効果をより確実に得ることができる。

【0037】(第3実施形態)図11、図12に、本発明の第3実施形態における半導体装置の製造工程を示し、これらの図に基づいて半導体装置の製造方法を説明する。なお、図11、図12では、紙面左側には製造工程における半導体装置の断面構成、紙面右側には半導体装置の上面図が示してある。

【0038】まず、図11(a)に示す工程では、フォトリソグラフィ工程により、シリコン基板1の上に備えられた全層2の表面に配線形成用の溝(第1の溝)4cを形成する。この後、図11(b)に示す工程では、全層2の上にフォトレジストを成膜すると共に、フォトレジストの所定領域を開口させたのち、フォトレジストをマスクとしたエッチングを施すことで、溝4c内に開口部上部4aを形成する。さらに、図11(c)に示す工程では、図11(b)と同様の工程を行なうことで、開口部上部4a内において開口部上部4aの開口幅よりも狭い開口部4bを形成する。なお、図11(b)、

(c)で形成した開口部上部4a、開口部下部4bは、第1実施形態で形成したものと同様の役割を果たすものである。

【0039】そして、図12(a)に示す工程では、第1実施形態の図5、図6と同様の工程を行ない、シリコン基板1に対してビア6を形成していく。そして、図12(b)に示す工程では、開口部下部4bがなくなる前にシリコン除去用のエッチングを止め、シリコン酸化膜除去用のエッチングに切替えることで、開口部下部4bをなくす。この後、図12(c)に示す工程では、等方性エッチングを行い、ビア6のコーナー部の丸めを処理を行う。

【0040】以上の製造方法によれば、開口部上部4aよりも上に形成した溝4cがビア6の形成後にも同様の形状で残るようにすることができる。このように、開口部上部4aの上に溝4cを形成するような場合においても、本発明の一実施形態を適用することが可能である。なお、ここでは、第2実施形態と同様に開口部下部4bがなくなる前にシリコン除去用のエッチングを止めているが、第1実施形態のような開口部下部4bがなくなるまでシリコン除去用のエッチングを行なうようにしても良い。

【0041】(第4実施形態)図13に、本発明の第4実施形態における半導体装置の製造工程を示し、これらの図に基づいて半導体装置の製造方法を説明する。まず、図13(a)に示す工程では、フォトリソグラフィ工程により、シリコン基板1の上に備えられた全層2の表面に配線形成用の溝(第2の溝)8を形成する。この後、図13(b)に示す工程では、全層2の上にフォトレジストを成膜すると共に、フォトレジストの所定領域

を開口させたのち、フォトレジストをマスクとしてシリコン基板1が露出するまでエッチングを施すことで、溝8内に凹部9を形成する。

【0042】そして、図13(c)に示す工程では、溝8および凹部9内を含むシリコン酸化膜2の表面にシリコン酸化膜(絶縁膜)10を形成する。これにより、溝8および凹部9がシリコン酸化膜10の膜厚分狭められ、第3実施形態と同様に溝4cおよび開口部上部4aが形成される。この後、図13(d)に示す工程では、第3実施形態における図11(c)と同様の工程を行なうことで開口部下部4bを形成する。この後の工程は図示しないが、第3実施形態における図12(a)～(c)と同様の工程を行なうことで、シリコン基板1にビア6を形成することができる。

【0043】このように、溝8および凹部9を形成した後でシリコン酸化膜10を形成するようにしても第3実施形態と同様の効果を得ることが可能である。

【0044】(他の実施形態)上記実施形態では、絶縁層として、層間絶縁膜等となるシリコン酸化膜2bを例20に挙げて説明したが、シリコン酸化膜だけでなく、他の絶縁膜であっても同様に本発明を適用することが可能である。また、絶縁層は1つの膜によって形成されているものに限らず、複数層のものであっても良い。

【0045】また、上記実施形態では、半導体装置の構成後に貫通電極を形成する方法を述べているが、半導体装置の最終の配線層形成と貫通電極形成を兼用することも可能である。例えば、半導体装置の最終配線を図12の4cで形成し、その下層との電気接続口を4で形成する。このようにすれば製造工程の簡略化を図ることができる。更に、半導体装置以外でも、シリコン基板に貫通電極を設ける場合には、図14における配線層およびパッシペーション層12aは存在しないが、ビア16には12bによる庇が生ずるが、本発明の適用によりこの庇は解消される。

【図面の簡単な説明】

【図1】本発明の第1実施形態における半導体装置の製造工程を示す図である。

【図2】図1に続く半導体装置の製造工程を示す図である。

【図3】図2に続く半導体装置の製造工程を示す図である。

【図4】図3に続く半導体装置の製造工程を示す図である。

【図5】図4に続く半導体装置の製造工程を示す図である。

【図6】図5に続く半導体装置の製造工程を示す図である。

【図7】図6に続く半導体装置の製造工程を示す図である。

【図8】開口部上部4aと開口部下部4bとの開口幅等

についてのサイズを説明した図である。

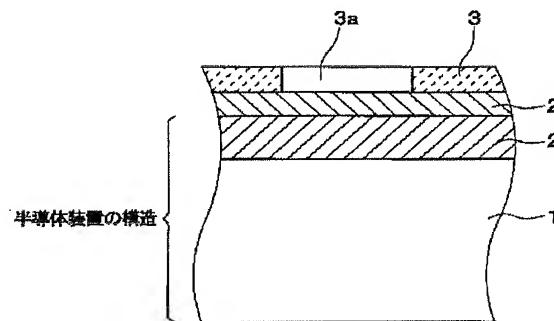
【図9】マスクずれ時における開口部上部4aと開口部下部4bとの開口幅についてのサイズを説明した図である。

【図10】本発明の第2実施形態における半導体装置の製造工程を示す図である。

【図11】本発明の第3実施形態における半導体装置の製造工程を示す図である。

【図12】図11に続く半導体装置の製造工程を示す図

【図1】



1:シリコン基板
2a:配線層およびパッシバーション層
2b:絶縁層
3:フォトレジスト

である。

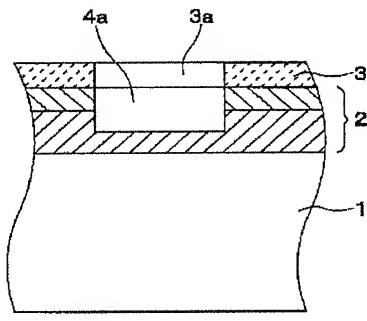
【図13】本発明の第4実施形態における半導体装置の製造工程を示す図である。

【図14】従来の半導体装置におけるピア形成工程を示した図である。

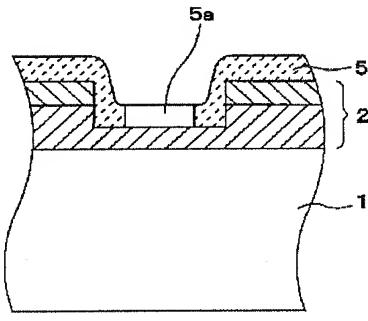
【符号の説明】

1…シリコン基板、2…配線層、パッシバーション層および絶縁膜、4…開口部、4a…開口部上部、4b…開口部下部、6…ピア。

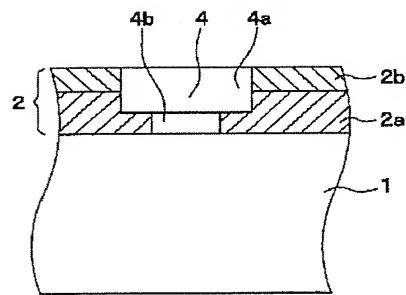
【図2】



【図3】

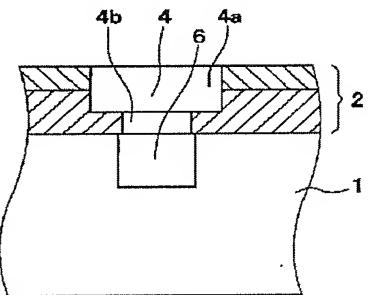


【図4】

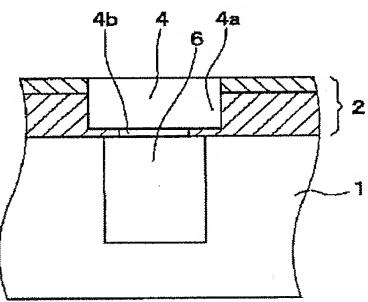


1:シリコン基板
2a:配線層およびパッシバーション層
2b:絶縁層
4:開口部
4a:開口部上部
4b:開口部下部

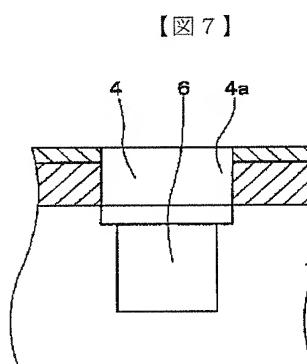
【図5】



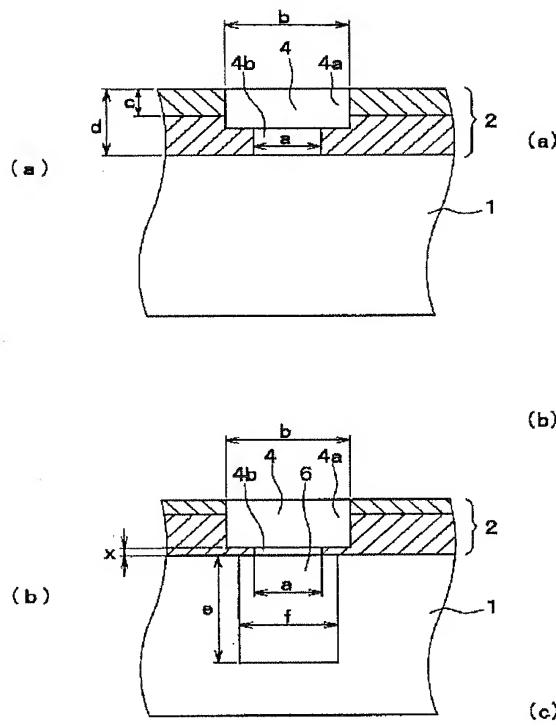
【図6】



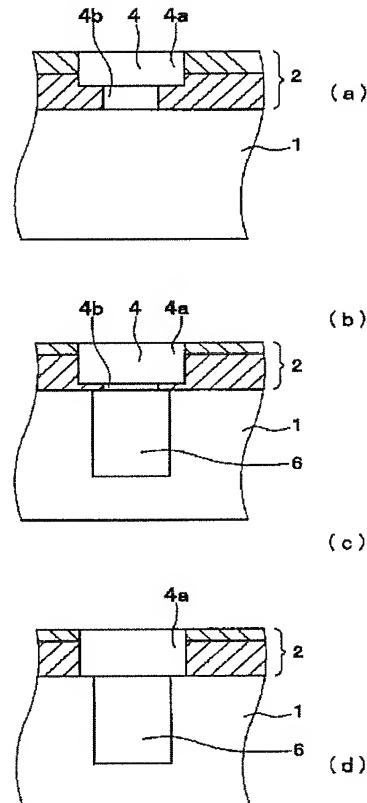
【図9】



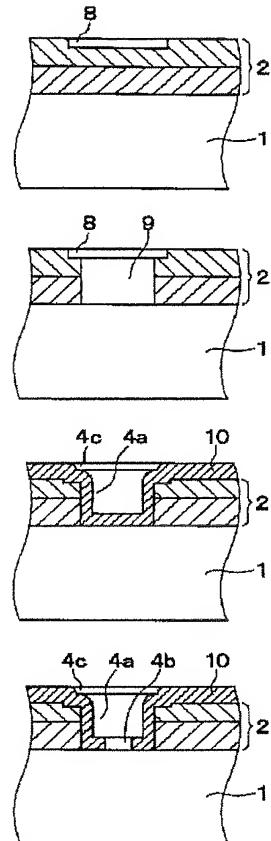
【図8】



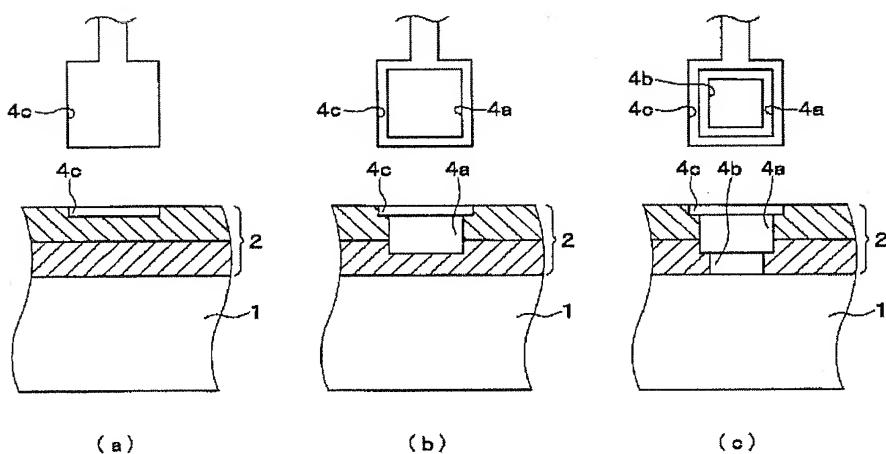
【図10】



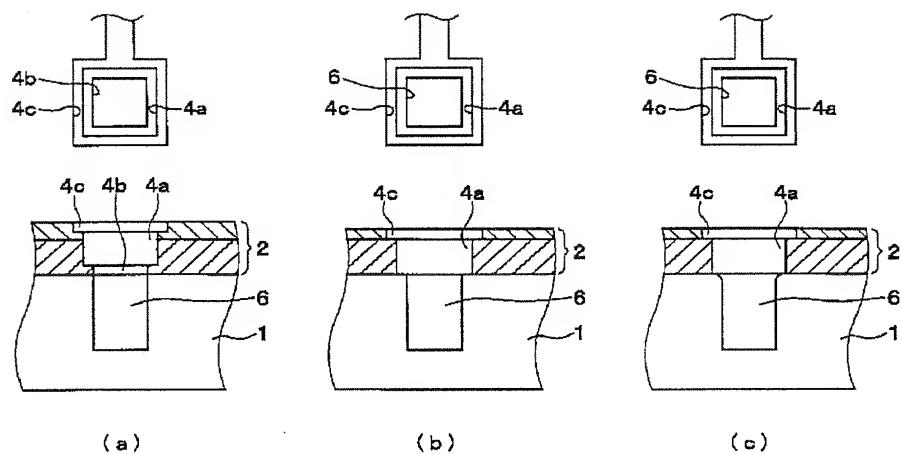
【図13】



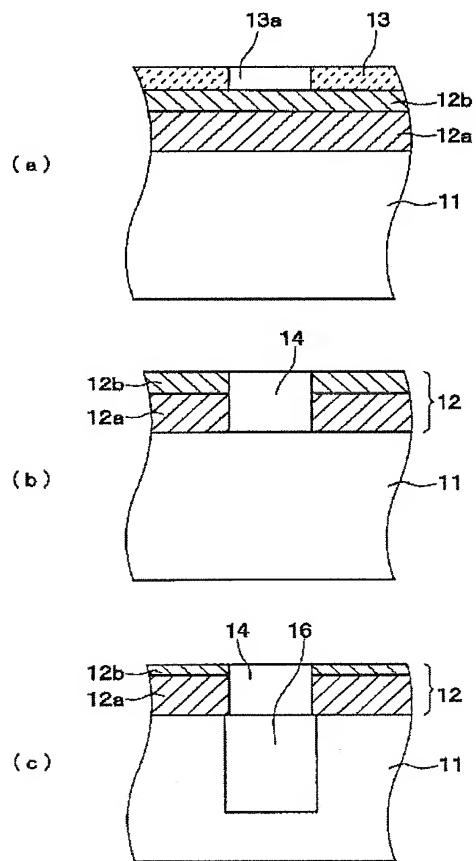
【図11】



【図12】



【図14】



フロントページの続き

(72)発明者 米村 均
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

F ターム(参考) 4M104 AA01 BB04 DD04 DD08 DD15
DD16 DD37 DD52 DD53 DD99
HH20
5F004 AA04 DB01 DB03 EA02 EA06
EA10 EA28 EB02 EB08
5F033 MM30 PP15 PP27 PP28 QQ07
QQ09 QQ11 QQ16 QQ18 QQ37
QQ46 RR04 XX00